

JAPANESE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-205573  
 (43)Date of publication of application : 09.09.1991

(51)Int.Cl. G01R 31/302  
 G01R 31/26  
 H01L 21/66

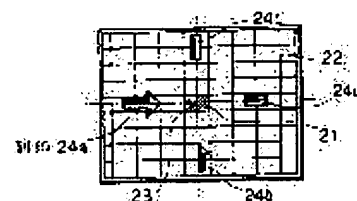
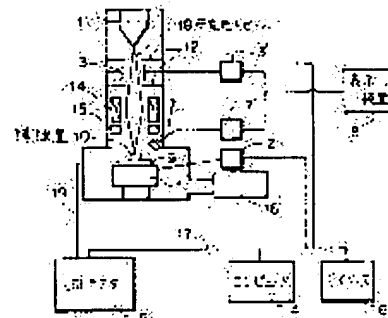
(21)Application number : 01-344027 (71)Applicant : SHARP CORP  
 (22)Date of filing : 29.12.1989 (72)Inventor : NAKANO AKIHIKO

## (54) METHOD AND DEVICE FOR INSPECTING SEMICONDUCTOR

## (57)Abstract:

PURPOSE: To automatically obtain a defective address and to prevent erroneous specification of this address in a process hereafter by applying stamping with the use of a charged particle beam on the neighborhood of defective circuit element in accordance with data for arrangement position from a defective position calculating part.

CONSTITUTION: First of all, an electrical measurement for the semiconductor chip in a semiconductor device 10 is made by an LSI tester 5 to obtain the defective circuit element (21). The obtained data are introduced to the defective position calculating part (function of a computer 4), and the data for arrangement position corresponding to the address 21 of the defective circuit element are obtained in accordance with table data of a layout pattern stored beforehand. Based on these data, an irradiation is made with the charged particle beam 18 having an energy conforming to the stamping work of chip surface, toward the position apart a specified space from the address 21 of chip. The stamping of 24a-24d showing the position of the defective circuit element are thereby applied on the chip surface. Then, this chip is set on a transmission type electron microscope and the defective circuit element on the chip is specified with taking the stamps 24 as marks to investigate the cause of defect for this circuit element.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

⑫ 公開特許公報(A) 平3-205573

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月9日

G 01 R 31/302

31/26

H 01 L 21/66

G  
C

8203-2G

7013-5F

6912-2G

G 01 R 31/28

L

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体検査装置及び半導体検査方法

⑯ 特 願 平1-344027

⑰ 出 願 平1(1989)12月29日

⑱ 発 明 者 中 野 明 彦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 大西 孝治

明 細 書

1. 発明の名称

半導体検査装置及び半導体検査方法

2. 特許請求の範囲

(1) 半導体チップに荷電粒子ビームを照射して得られた二次電子の検出データに基づいて当該半導体チップの拡大画像を表示出力する半導体検査装置において、前記半導体チップの電気的特性を測定し、当該測定結果に基づき不良の回路素子を求める半導体テストと、前記半導体チップを構成する回路素子とその配置位置との関係を与えるレイアウトパターンのテーブルデータが予め格納されており、当該テーブルデータに基づき前記半導体テストにより求められた不良の回路素子に対応する配置位置のデータを求める不良箇所算出部とを具備しており、前記不良箇所算出部により求められた配置位置のデータに基づき前記半導体チップの不良の回路素子から所定間隔を離れた位置に向けて、当該不良の回路素子の位置を示すための

刻印が施されるに必要なエネルギーを有する荷電粒子ビームを照射するようにしてあることを特徴とする半導体検査装置。

(2) 請求項1記載の半導体検査装置を用いて半導体チップに刻印を施した後、透過型電子顕微鏡を用いて、前記刻印を目印に前記半導体チップ上の不良の回路素子を特定し、当該回路素子の不良原因を調査することを特徴とする半導体検査方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明はLSI等の半導体装置の不良原因を調査する際に使用される半導体検査装置及び半導体検査方法に関する。

<従来の技術>

従来、LSI等の半導体装置の不良原因を調査するにあたっては、次に述べるような方法が採られている。まず、電気不良の半導体装置を破断させて内部の半導体チップを露出させた後、半導体テストを用いて半導体装置を電気的に検査し、この検査結果をプリントアウトする。プリントアウト

トされたものを見れば、半導体チップにおける回路上の不良箇所が判るので、別に用意したレイアウト設計時の設計図面を参照して、半導体チップ上の不良箇所（以下、不良アドレスとする）を見つけ出す。その後、第6図(a)に示すように半導体装置のパッケージから取り出して半導体チップ10'をダイシングマシン等を用いて切り出し、中央部に不良アドレス21を有する試料チップ片20を得る。そして試料チップ片20の裏面を第6図(b)に示すように平面研磨装置を用いて研磨し、試料チップ片20を50 $\mu$ m程度にまで薄くする。なお、第6図(b)では平面研磨装置でも研磨台26のみが示されている。これ以上、試料チップ片20を薄くすると壊れてしまう虞れがあるので、最終的には別に用意された荷電粒子ビーム加工装置を使用する。この過程を第6図(c)(d)を参照して説明すると、研磨された試料チップ片20を所謂メッシュである試料支持台27に取り付けた後、これを荷電粒子ビーム加工装置にセットして動作させる。すると、試料支持台27とともに試料チップ片20が回転し、と

同時に、荷電粒子ビームが試料支持台27の中央部に形成された丸穴271を介して試料チップ片20の裏面に対して15°程度の浅い角度で照射され、これにより試料チップ片20の裏面中央部が山形に薄片化される。そして試料チップ片20の中央部を500 $\mu$ m程度にまで薄くし、これを別に用意された透過型電子顕微鏡を用いて試料チップ片20の不良アドレスにおける結晶欠陥等を観察し、半導体装置の不良原因を調査する。

#### <発明が解決しようとする課題>

しかしながら、上記従来例による場合には、次に述べるような種々の欠点が指摘されている。

まず、半導体テストによって半導体チップ10'における回路上の不良箇所が判ったとしても、半導体チップ10'の物理的な位置（不良アドレス21）を設計図を見比べながら特定せねばならず、この作業が非常に煩わしく、熟練した者であっても間違いが多いという欠点がある。

また、半導体チップ10'の不良アドレス21が判ったとしても、切り出しの方式上、透過型電子顕

微鏡で観察されることになる試料チップ片20の中央部と不良アドレス21の部分とが一致しないことが多いという欠点がある。半導体チップ10'に繰り返しパターンが形成されている場合には、特に大きな問題となり、結果として、半導体装置の不良原因の正確な調査を行う上で非常に大きな支障となっている。

本発明は上記事情に鑑みて創案されたものであり、その目的とするところは、半導体チップの不良アドレスを自動的に求めることができ、その後の工程において、半導体チップの不良アドレスを誤らないようにし得る半導体検査装置及び半導体検査方法を提供することにある。

#### <課題を解決するための手段>

本発明の第1請求項にかかる半導体検査装置は、半導体チップに荷電粒子ビームを照射して得られた二次電子の検出データに基づいて当該半導体チップの拡大画像を表示出力する装置であって、前記半導体チップの電気的特性を測定し、当該測定結果に基づき不良の回路素子を求める半導体テス

タと、前記半導体チップを構成する回路素子とその配置位置との関係を与えるレイアウトパターンのテーブルデータが予め格納されており、当該テーブルデータに基づき前記半導体テストにより求められた不良の回路素子に対応する配置位置のデータを求める不良箇所算出部とを具備しており、前記不良箇所算出部により求められた配置位置のデータに基づき前記半導体チップの不良の回路素子から所定間隔を離れた位置に向けて、当該不良の回路素子の位置を示すための刻印が施されるに必要なエネルギーを有する荷電粒子ビームを照射するようにしてある。

本発明にかかる第2請求項にかかる半導体検査方法は、請求項1記載の半導体検査装置を用いて半導体チップに刻印を施した後、透過型電子顕微鏡を用いて、前記刻印を目印に前記半導体チップ上の不良の回路素子を特定し、当該回路素子の不良原因を調査する。

#### <作用>

半導体検査装置にセットされた半導体チップと

半導体テストとを電気接続し、半導体テストにより半導体チップの電気的測定を行い、半導体チップの中から不良の回路素子を求める。この不良の回路素子のデータは不良箇所算出部に導入され、ここで予め格納されたレイアウトパターンのテーブルデータに基づいて当該不良回路素子に対応する配置位置のデータが求められる。このデータに基づいて半導体チップの不良の回路素子から所定間隔を離れた位置に向けて、半導体チップの表面に刻印加工するに合ったエネルギーを有する荷電粒子ビームを照射させる。すると、半導体チップの表面には不良の回路素子の位置を示すための刻印が施される。また必要な場合にはこの刻印を含む半導体チップの拡大画像を表示出力する。

そして、刻印の施された半導体チップを透過型電子顕微鏡にセットし、刻印を目印に半導体チップ上の不良の回路素子を特定し、当該回路素子の不良原因を調査する。

#### <実施例>

以下、本発明にかかる半導体検査装置及び半導

体検査方法の一実施例を図面を参照して説明する。第1図は半導体検査装置の構成図、第2図は半導体検査装置の表示出力図で、刻印が施された半導体チップの拡大画像を示す図、第3図は半導体チップから試料チップ片が切り出される様子を示す説明図、第4図は研磨機により試料チップ片が研磨されている様子を示す説明図、第5図(a)は荷電粒子ビーム加工装置により試料チップ片が薄片化されている様子を示す説明図、第5図(b)は試料チップ片の破断面を併せて示す第5図(a)に対応する図である。

まず、第1図を参照して半導体検査装置の概略構成について説明する。

図中16は装置本体内を所定の真空状態にする真空排気装置であり、装置本体の内底部には、半導体装置10をX-Y平面自由自在に移動させるX-Yステージ1が設けられている。図中2はX-Yステージ制御装置である。半導体装置10はX-Yステージ1上に設けられたソケット9に接続可能であって、接続された状態でLSIテスト5(半導

体テストに相当する)によって半導体装置10の回路上の不良箇所が検査されるようになっている(詳しいことについては後述する)。

なお、半導体装置10は図示されていないがそのパッケージの上部が予め破断加工され、これで内部の半導体チップ10'が露出するようになっている。

一方、装置本体の上方部にはX-Yステージ1に向けて発せられる荷電粒子ビーム18を生成するビーム生成部11が設けられている。ビーム生成部11とX-Yステージ1との間には、上から順に、アパチャー12、走査コイル3、アパチャー12、ビームレンズ14、ビーム非点収差補正用レンズ15が夫々配設されている。即ち、ビーム生成部11にて生成された荷電粒子ビーム18は、上記したレンズ光学系によってエネルギーが与えられるとともに収束・走査され、半導体チップ10'に照射されるようになっている。なお、荷電粒子ビーム18を走査するタイミングは、後述する表示装置8から出力する同期信号に基づき走査制御装置3'により

制御されるようになっている。

所定エネルギーを有する荷電粒子ビーム18が半導体チップ10'に照射されると、この被照射部から二次電子が発生する。この二次電子はX-Yステージ1の近傍に配置された二次電子検出器7で検出される。この二次電子検出器7の出力信号は二次電子信号増幅器7'を介して表示装置8に逐次導入され、ここで半導体チップ10'の拡大画像が表示出力されるようになっている。

次に、LSIテスト5について説明する。これには、半導体装置10の電気的特性に関するデータが予め用意されており、半導体装置10に電源供給させた状態で所定動作を行わせ、回路上の不良箇所を検査するようになっている。半導体装置10が例えばダイナミックメモリであるとすれば、全てのアドレスに対して所定データを書込んだ後に、書き込まれたデータをアドレス順に逐次読み出し、読み出されたデータが相違するならば、そのアドレスに相当する回路素子部を不良であると判定するのである。LSIテスト5から出力される半導

体装置10の回路上の不良箇所に関するデータは、所定のタイミングでコンピュータ4に導かれるようになっている。

コンピュータ4は装置の全体を制御するために必要なプログラムが予め用意されており、データ転送用ネットワーク17を通じてLSIテスト5、表示装置8、X-Yステージ制御装置16、走査制御装置3'等を所定動作させるための命令を個別に与えるようになっている。またコンピュータ4には、大容量の外部メモリとしてフロッピーディスク等のデータベース6が装備されている。このデータベース6には、半導体チップ10'を構成する回路素子とその配置位置との関係を与えるレイアウトパターンテーブルのデータが格納されている。つまりデータベース6に格納されている個々のデータは、半導体チップ10'に形成された回路素子ごとの座標データであり、これは、半導体チップ10'上に複数個設けられた所謂アライメントマークを基準点として設定されたX'-Y'座標系で表示されている。なお、コンピュータ4のソフト

ウェアには、不良箇所算出部としての機能が含まれるようになっている。

次に、上記のように構成された半導体検査装置の動作説明を行い、併せてコンピュータ4の機能について説明する。

まず、半導体チップ10'が露出した半導体装置10をコネクタ9に接続し、LSIテスト5を動作させる。すると、LSIテスト5から半導体装置10の回路上の不良箇所に関するデータがコンピュータ4を介してデータベース6に取り込まれる。データベース6に取り込まれたデータは、上記したように半導体チップ10'における不良の回路素子に関するもので、データベース6のテーブルデータにより変換させて、当該回路素子に対応する座標データを求める(コンピュータ4のこの機能は不良箇所算出部に相当する)。この座標データは、半導体チップ10'の不良箇所、即ち、不良アドレス21(第2図参照)を与えるデータとなり、その後、データベース6の所定アドレスに一旦格納させる。

ところで、半導体装置10の集積度をみるとX-Yステージ1の送り精度は $0.1\ \mu\text{m}$ 以下にする必要があるが、半導体装置10のX-Yステージ1への取付方式上、X-Yステージ1に対する半導体装置10の位置決め精度が問題となる。そこで、半導体チップ10'の中でも上記したアライメントマークを拡大表示させ、このアライメントマークと表示画面上に同時に表示させたX-Y座標系の基準点とを一致させるべく、X-Yステージ1を動作させる。すると、半導体装置10とコネクタ9との接続状態に関係なく、X-Yステージ1側のX-Y座標系と半導体チップ10'側のX'-Y'座標系とが一致することになる。

その後、データベース6に格納された不良アドレス21の座標データに基づいてX-Yステージ1を動作させると、表示装置8の表示画面中に半導体チップ10'でも不良アドレス21の部分が入る。第2図は半導体チップ10'の中でも不良アドレス21の近傍部分の表示装置8による拡大画像が示されている。なお、図中22は半導体チップ10'上に

格子状に付けられた回路パターン、23は表示装置8側の基準点(後述する刻印加工上の基準点と一致する)である。

そして、図中示すように半導体チップ10'上の不良アドレス21の部分から所定間隔離れた位置に合計4個の刻印24a~24dを施すべく以下の処理が行われる。

まず、データベース6に記憶されている不良アドレス21の座標データをもとに刻印24a~24dを施すべき位置の座標データを算出する。この算出にあたっては、予めデータベース6に格納されている不良アドレス21と刻印24a~24dとの位置関係を与えるパターンデータを読み出して行われる。この座標データが算出されると、これをもとにビーム生成部11、走査制御装置3'等を動作させて、所定エネルギーを有する荷電粒子ビーム18を半導体チップ10'に走査照射させる。すると、荷電粒子ビーム18の照射により穴が掘られて所望位置に刻印24a~24dが施される。

ここで刻印24a~24dの形状等について説明す

る。刻印24a～24dの大きさ及びこれと不良アドレス21との距離については、刻印24a～24dと不良アドレス21の部分とが表示装置8の画面上に入り、且つ両者が明確に判ることを考慮して設定されている。刻印24a～24dの大きさを2～3 $\mu\text{m}$ 角以上にすれば、40倍程度の実態顕微鏡でも刻印24a～24dを観察することが可能となる。また、刻印24a～24dは不良アドレス21の位置が明確に判るような形状とされており、その全体形状は非対象にされている。なお、刻印24a～24dのパターンは複数用意されており、不良部分の形状にあわせて適宜選択できるようになっている。

更に、刻印24a～24dの深さについては、後述する薄片化工程を考慮に入れ、半導体チップ10'の半導体基板にまで達するに必要な値に設定されている。ただ、不良原因が半導体基板ではなく電極部分等の浅い部分にあるならば、刻印24a～24dの深さは半導体基板にまで達する必要はない。

なお、ビーム生成部11にて生成される荷電粒子ビームとしては、ここではガリウムイオンビーム

が採用されている。このビーム径は画像表示を行う場合には良好な像を得るために500 $\text{\AA}$ 以下に設定されている。そして刻印加工に切り換える場合には、加工速度を高める意味でその電流値を上記の場合に比べて高く設定することもできる。この場合のビーム径はその電流値を高めることにより2000～3000 $\text{\AA}$ 程度にしても差し支えない。

上記した刻印加工が終了したならば、表示装置8を動作させて、刻印24a～24dと不良アドレス21の部分との位置関係が正確に合っているか否かその拡大画像により確認する。

この確認が終了したならば、半導体装置10を半導体検査装置から取り出し、次に、図外の透過型電子顕微鏡のための試料作成に移る。

まず、半導体装置10のパッケージから半導体チップ10'を取り出し、図外のダイシングマシンを用いて第3図に示すように半導体チップ10'を小さく切断して試料チップ片20を得る。試料チップ片20の寸法は透過型電子顕微鏡の試料として適当な大きさ、ここでは1.5mm角程度にする。この際、

ダイシングマシンに付属の実態顕微鏡を用いて、不良アドレス21の部分が試料チップ片20の中央にくるように正確に切り出す。このセンター出しは透過型電子顕微鏡での観察精度に大きく関わるので慎重に行う必要がある。

次に、半導体チップ10'から切断された試料チップ片20をダイシングマシンから取り出し、薬品を用いて試料チップ片20における電極等の表面形成層を剥離処理する。剥離に使用される薬品は試料チップ片20の半導体基板に影響を及ぼさないものを使用する。ただ、不良原因が半導体基板ではなく電極部分の浅い部分にあるならば、電極部分が最も表面となるように剥離作業を行う。

この剥離作業が終了したならば、剥離処理された試料チップ片20を回転研磨機を用いて50 $\mu\text{m}$ 以下に研磨し、更に鏡面研磨する。第4図は研磨機を用いて試料チップ片20の裏面が研磨されている様子を示したもので、研磨台26の他は図示省略されている。また、精度の高い研磨を行う場合には、くぼみ状(ディンプル)の機械研磨を行うことが

ある。この場合、不良アドレス21の裏面部分が一番薄くなるようにくぼみの中心と不良アドレス21の中心とが一致するようにして、試料チップ片20を10 $\mu\text{m}$ 以下にまで研磨し、更に鏡面研磨する。このくぼみ状研磨による場合には、刻印24a～24dの深さを10 $\mu\text{m}$ 程度に設定すると、研磨の過程で試料チップ片20の裏面から刻印24a～24dが透けてみえるので、くぼみの中心と不良アドレス21の中心とがずれていた場合でも途中で加工位置の修正を行うことができるというメリットがある。

この研磨が終了すれば、最終的な試料チップ片20の薄片化加工を別の荷電粒子ビーム加工装置を用いて行う。まず、鏡面研磨が行われた試料チップ片20を第5図に示す試料支持板27(メッシュ)に固定した後、これを荷電粒子ビーム加工装置にセットする。そして荷電粒子ビーム加工装置を動作させると、試料支持板27とともに試料チップ片20が回転し、と同時に、荷電粒子ビームが試料支持板27の中央に形成されている丸穴271を介して試料チップ片20の裏面側中心部に向けて照射し、

これで試料チップ片20の裏面部が山形状に削られるようになっている。このような方法で試料チップ片20の不良アドレス21の中心部を50人程度にまで薄片化する。

なお、この荷電粒子ビーム加工装置では、加工速度をあげるために比較的太めのアルゴンイオンビームが使用されており、その試料チップ片20の裏面に対する入射角は10度から15度程度に設定されている。

この薄片化加工が終了すれば、荷電粒子ビーム加工装置から試料チップ片20を試料支持板27とともに取り出し、図外の透過型電子顕微鏡にセットする。そして透過型電子顕微鏡により、試料チップ片20の拡大画像を表示出力する。このときの画面中には刻印24a～24d がはっきりと写し出され、これを目印に不良アドレス21の部分を誤りなく特定することができ、この拡大画像により半導体装置10の不良原因を調査する。

このような手順で半導体装置10の不良原因を調査するにあたり、半導体検査装置を使用すると、

次のようなメリットを得られる。

つまり荷電粒子ビーム加工装置を用いて試料チップ片20の中でも50人程度にまで薄片化された部分が不良アドレス21の部分とずれた場合であっても、このことが透過型電子顕微鏡により試料チップ片20の画像を拡大表示させた段階で刻印24a～24d の目印により判るので、結果として、誤ったアドレスの部分を調査することが無くなる。更にその上で、透過型電子顕微鏡の構成上、試料チップ片20が裏返しになっても画像が得られるので、不良アドレス21の部分を間違えてしまうおそれがあるが、刻印24a～24d の全体形状は非対象となっているので、同様に刻印24a～24d を見ると、試料チップ片20が裏返しになっていることが判る。従って、半導体装置10の半導体チップ10'上において電氣的に不良である箇所の直接的な拡大画像を透過型電子顕微鏡によって表示出力することができるので、半導体装置10の不良原因を正確に調査する上で非常に大きな意義がある。

なお、本発明にかかる半導体検査装置は上記実

施例に限定されず、半導体チップに対して荷電粒子ビームを下方から照射する所謂倒立型の形態を採っても良い。かかる形態による場合には、半導体チップとLSIテストとを接続するソケットを下向きに取りつけることができ、更にその上にテストヘッドを備え付けることができるので、電気配線を極力短くできノイズの低減化を図ることができ、半導体チップの高精度な電氣的な検査を行う上で大きなメリットがある。

#### <発明の効果>

以上、本発明にかかる半導体検査装置による場合には、半導体テストにより求められた半導体チップの不良の回路素子に対応する配置位置のデータが不良箇所算出部によって求められるようになっているので、半導体チップの不良アドレスの部分を自動的に求めることができる。それ故、従来のように煩わしい作業を必要とせず、正確な不良アドレスを求めることができる。更にその上で、荷電粒子ビームの照射により半導体チップの不良アドレスを示す刻印が施されるようになった構成

となっているので、その後の工程においても半導体チップの不良アドレスを誤りなく特定することができる。

一方、本発明にかかる半導体検査方法による場合には、透過型電子顕微鏡を用いて観察するにあたり、半導体チップ上の刻印を目印にしてその不良アドレスの部分を誤りなく特定することができるので、不良アドレスの部分の状態を直接に観察することができる。

従って、半導体装置の不良原因を正確に調査する上で非常に大きなメリットがある。

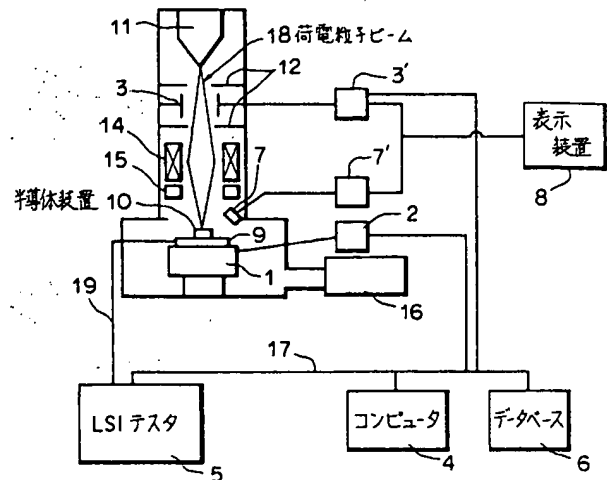
#### 4. 図面の簡単な説明

以下、本発明にかかる半導体検査装置及び半導体検査方法の一実施例を図面を参照して説明する。第1図は半導体検査装置の構成図、第2図は半導体検査装置の表示出力図で、刻印が施された半導体チップの拡大画像を示す図、第3図は半導体チップから試料チップ片が切り出される様子を示す説明図、第4図は研磨機により試料チップ片が研磨されている様子を示す説明図、第5図(a)は荷電

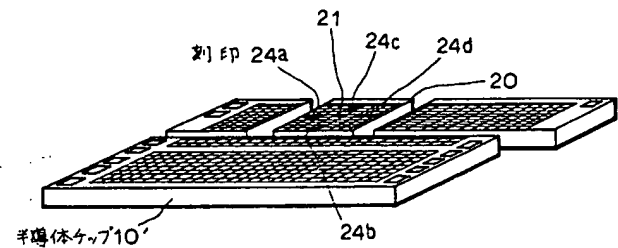
粒子ビーム加工装置により試料チップ片が薄片化されている様子を示す説明図、第5図(b)は試料チップ片の破断面を併せて示す第5図(a)に対応する図である。第6図は従来の半導体検査装置を説明するための図であって、(a)は第3図に対応する図、(b)は第4図に対応する図、(c)、(d)は第5図(a)、(b)にそれぞれ対応する図である。

- 10' . . . 半導体チップ  
18 . . . 荷電粒子ビーム  
4 . . . コンピュータ  
5 . . . LSI テスタ  
24a ~ 24d . . . 刻印

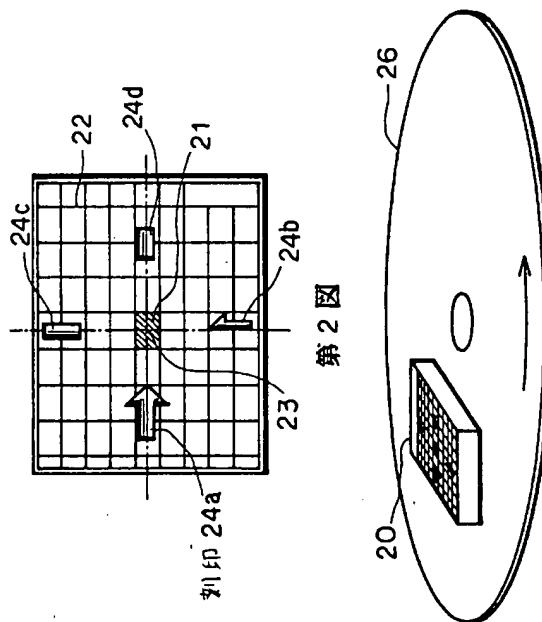
特許出願人 シャープ株式会社  
代理人 弁理士 大西 孝 治



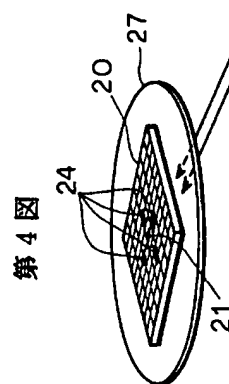
第1図



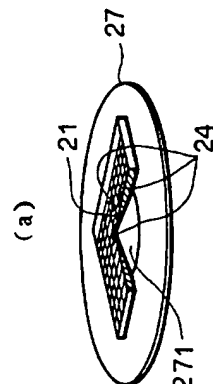
第3図



第2図



第4図

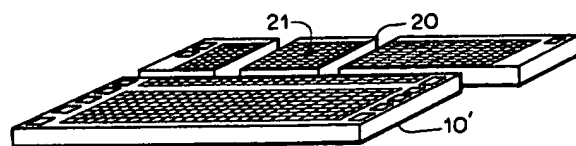


(a)

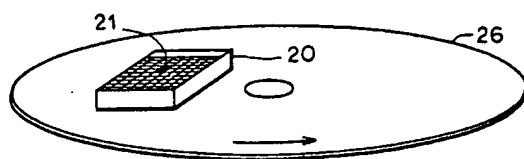
(b)

第5図

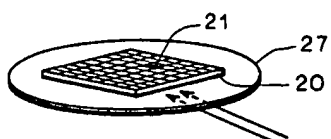




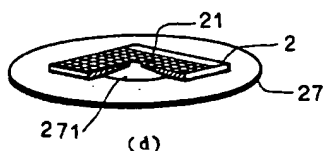
(a)



(b)



(c)



(d)

第 6 図